

Express Mail Label No.

Dated: \_\_\_\_\_

Docket No.: 20196/0200828-US0  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Gebhard Melcher

Application No.: 10/789,959

Confirmation No.: 5769

Filed: February 27, 2004

Art Unit: N/A

For: CIRCUIT ARRANGEMENT FOR  
GENERATING NON-OVERLAPPING CLOCK  
PHASES

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

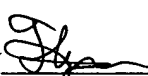
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Germany	101 42 657.7	August 31, 2001

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: June 21, 2004

Respectfully submitted,

By  <sup>Flynn Brattson</sup>  
(53,970)  
\_\_\_\_\_  
Laura C. Brutman

Registration No.: 38,395  
DARBY & DARBY P.C.  
P.O. Box 5257  
New York, New York 10150-5257  
(212) 527-7700  
(212) 753-6237 (Fax)  
Attorneys/Agents For Applicant



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 101 42 657.7

**Anmeldetag:** 31. August 2001

**Anmelder/Inhaber:** Infineon Technologies AG,  
81669 München/DE

**Bezeichnung:** Schaltungsanordnung zur Erzeugung  
nicht-überlappender Taktphasen

**IPC:** H 03 K, G 06 F

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 12. Februar 2004  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A handwritten signature in black ink, consisting of a stylized 'D' followed by a horizontal line.

Dzierzon

## Beschreibung

Schaltungsanordnung zur Erzeugung nicht-überlappender Taktphasen

5

Für zahlreiche Anwendungen werden Mehrphasentakte mit garantiert nicht-überlappenden Taktpulsen benötigt. Solche Anwendungen sind beispielsweise Switched-Capacitor-Filter, Sigma-delta-Modulatoren, Taktbooster oder Ladungspumpen. Schaltungen zur Erzeugung von zwei nicht-überlappenden Taktphasen oder Taktphasenpaaren sind seit langem aus dem Stand der Technik bekannt.

10

In Einzelfällen ist es jedoch erforderlich, drei oder mehr Taktphasen zu erzeugen, die ineinander verschachtelt sind und eine definierte Lage zueinander haben, wobei dadurch auch eine Auswahl mehrerer nicht-überlappender Taktphasen gewährleistet ist.

15

Ein besonderes Problem bei der Erzeugung nicht-überlappender Taktphasen sind variierende Lastbedingungen. Insbesondere durch kapazitive Lasten werden Taktphasen, die sich eigentlich nicht mit anderen überschneiden, so verschoben, daß es dennoch zu einer Überschneidung kommt. Eine Schaltung aus dem Stand der Technik für zwei Taktphasen ist in den Figuren 1 und 2 dargestellt, wobei die sich daraus ergebenden Taktphasen in Figur 3 dargestellt sind. Die in der Figur 1 dargestellte Schaltungsanordnung besteht im wesentlichen aus zwei NAND-Gliedern, deren Ausgang jeweils auf einen Eingang des anderen NAND-Gliedes zurückgekoppelt ist.

20

25

30

35

Ein Taktsignal CLKIN liegt sowohl am ersten NAND-Glied 1 als auch über einen Inverter an dem zweiten NAND-Glied 2 an. Zu Erläuterung der Funktion wird zunächst angenommen, daß der zweite Eingang des NAND-Glieds 1 auf LOW liegt. Solange das Taktsignal CLKIN auf LOW bleibt ist der Ausgang Q2 HIGH. Der Eingang des zweiten NANDs-Gliedes 2, der mit dem negierten

Taktsignal beaufschlagt ist, liegt zu diesem Zeitpunkt auf HIGH. Der Ausgang Q2 ist auf den zweiten Eingang des zweiten NAND-Glieds 2 rückgekoppelt, wodurch zu diesem Zeitpunkt dort ebenfalls ein HIGH-Signal anliegt, der Ausgang des zweiten  
5 NAND-Gliedes 2 geht in der Folge auf LOW und das Ausgangssignal Q1 ist ebenfalls LOW.

Wenn nun das Taktsignal CLKIN auf HIGH wechselt, setzt sich die ansteigenden Flanke in der Schaltung fort. Der erste Eingang des ersten NAND-Glieds erhält also ein HIGH-Signal, so  
10 daß an den Eingängen ein HIGH- und ein LOW-Pegel anliegen. Der Pegel am Ausgang ändert sich damit nicht und die Flanke kann sich nicht durch das erste NAND-Glied 1 fortsetzen.

15 Der erste Eingang des zweiten NAND-Gliedes 2 erhält jedoch jetzt ein LOW-Signal, wodurch der Ausgang von LOW auf HIGH springt und die Flanke sich fortsetzt. Der Ausgang Q1, der jetzt HIGH ist, ist auf den zweiten Eingang des ersten NAND-Gliedes zurückgekoppelt, wodurch an den Eingängen des ersten  
20 NAND-Gliedes zwei HIGH-Signale anliegen und infolgedessen der Ausgang auf LOW geht. Somit hat sich die Flanke nun auch zum zweiten Ausgang Q2 fortgepflanzt. Dieser Zustand bleibt so lange erhalten, bis sich der Pegel des Taktsignales CLKIN wieder ändert.

25 Eine abfallende Taktflanke setzt sich wie anhand der ansteigenden Flanke beschrieben fort. Allerdings ändert sich zunächst nur das Ausgangssignal des ersten NAND-Gliedes 1, während trotz unterschiedlicher Belegung der Eingänge das Ausgangssignal des zweiten NAND-Gliedes 2 gleich bleibt. Als  
30 erstes ändert sich deshalb der Pegel des Ausgangs Q2 und danach der Pegel des Ausgangs Q1. Die Signale an den Ausgängen Q1 und Q2 sind somit ineinander verschachtelt. Der zeitliche Abstand zwischen Zustandsänderungen an den Ausgängen Q1 und  
35 Q2 wird dadurch bestimmt, wie groß die Verzögerungszeiten der logischen Schaltglieder, in der Figur 1 also der NAND-Glieder, sind.

Durch den gezielten Einsatz von zusätzlichen Verzögerungsgliedern lassen sich die Verzögerungszeiten genau festlegen.

5

Eine solche Schaltung ist in der Figur 2 gezeigt. Zusätzlich zu den NAND-Gliedern 1 und 2 sind zwischen die Ausgänge der NAND-Glieder 1 und 2 und die Schaltungsausgänge Q1 und Q2 mehrere Inverter geschaltet, wobei jeder Inverter eine typische Schaltzeit aufweist, die zu einer Verzögerung des Signals führt. Zusätzlich sind zwei weitere Ausgänge Q1N und Q2N herausgeführt, die jeweils das zu Q1 bzw. Q2 komplementäre Signal führen.

10

15

Die durch eine solche Schaltungsanordnung erzeugten Signale sind in der Figur 3 dargestellt. Die Phasen Q1 und Q2 sind strikt nicht-überlappend (positive Logik), während die Phasen Q1N und Q2N strikt überlappend (positive Logik) oder ebenfalls nicht-überlappend (negative Logik) sind. Die Taktlücke oder Nicht-Überlapp-Zeit ist mit Tnovl bezeichnet. Dieses Taktsystem mit zwei nicht-überlappenden Taktphasen eignet sich zur Ansteuerung von beispielsweise Schalter-Kapazität-Filtern oder Ladungspumpen.

20

25

Es kommt jedoch vor, daß man für gewisse Schaltungsblöcke ein drittes Taktphasenpaar benötigt, welches nicht einfach zu einem bestehenden Phasenpaar zeitversetzt ist, sondern zeitlich verschachtelt nicht-überlappend schaltet. In der Figur 4 ist ein Zeitdiagramm dargestellt, das diese Anforderung veranschaulicht. Durch geeignete Kombination von Signalen sollten sich zu jeder beliebigen Anforderung bezüglich der Überlappungen immer drei Signale finden lassen, die diese Anforderungen erfüllen. Für drei oder mehr nicht-überlappende Taktphasen mußte man bisher um ein Vielfaches höhere Systemtaktfrequenzen verwenden und die Frequenzperioden unterteilen. Die hohe Frequenz des Systemtaktes führt jedoch schaltungs-technisch zu erheblichem Aufwand.

30

35

Aufgabe der Erfindung ist es daher, eine Schaltungsanordnung anzugeben, durch die drei oder mehr nicht überlappende Taktphasen erzeugt werden können. Dabei soll sichergestellt sein, daß der Zeitversatz zwischen den Taktphasen unabhängig von einer angeschlossenen Last eingehalten wird.

Diese Aufgabe wird durch eine Schaltungsanordnung zur Erzeugung nicht-überlappender Taktphasen gelöst mit einer ersten Schaltungseinheit zur Verknüpfung zweier Eingangssignale zu einem Ausgangssignal und einer zweiten Schaltungseinheit zur Verknüpfung zweier Eingangssignale zu einem Ausgangssignal, wobei ein jeweils erster Eingang der ersten und zweiten Schaltungseinheit zum Anlegen eines gemeinsamen Taktsignals vorgesehen sind, und einer ersten Multiplexereinheit, wobei ein erster Eingang mit einem Ausgang der ersten Schaltungseinheit verbunden ist, ein zweiter Eingang mit einem Ausgang der zweiten Schaltungseinheit verbunden ist und der Ausgang der Multiplexereinheit mit jeweils einem zweiten Eingang der ersten und zweiten Schaltungseinheit verbunden ist und ein dritter Eingang zum Umschalten zwischen den Eingängen der ersten Multiplexereinheit zur Beaufschlagung mit dem Taktsignal vorgesehen ist, wobei durch Ausgangssignale der ersten und zweiten Schaltungseinheit sowie der ersten Multiplexereinheit mehrere nicht-überlappende Taktphasen bereitgestellt sind.

Durch das Einfügen der Multiplexereinheit und der entsprechenden Anbindung an die beiden Schaltungseinheiten wird erreicht, daß die aus den Figuren 1 und 2 bekannte Schaltungsanordnung skalierbar wird. Zu den zwei im Stand der Technik vorhandenen Ausgängen kommt ein weiterer hinzu. Vorteilhaft ist, daß nur Standard-Logikgatter verwendet werden. Durch die Anordnung der Rückkopplung wird erreicht, daß bis zur Grenze der maximal möglichen Frequenz unter allen Umständen eine Überlappung vermieden wird. Dies gilt insbesondere auch bei

sich ändernden kapazitiven Lasten. Dabei wird nur ein einziger Referenztakt benötigt, dessen Frequenz gleich der des Ausgangssignales ist.

5 Besonders vorteilhaft ist, daß das erfindungsgemäße Einfügen einer Multiplexereinheit mehrfach angewandt werden kann, so daß durch das Einfügen weiterer Multiplexereinheiten auch entsprechend mehr Ausgangssignale zur Verfügung stehen, die jeweils nicht-überschneidend verschachtelt sind.

10

Besonders einfach ist die Schaltung aufgebaut, wenn die erste und die zweite Schaltungseinheit jeweils ein NAND-Glied sind, die nachgeschaltete, jeweils aus hintereinander geschalteten Invertern bestehende Verzögerungsglieder besitzen.

15

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels näher erläutert. Es zeigt:

20

Figuren 1 und 2 die bereits beschriebenen Schaltungsanordnungen aus dem Stand der Technik,

Figur 3 ein Zeitdiagramm für eine Schaltung nach dem Stand der Technik gemäß Figur 2,

25

Figur 4 ein Zeitdiagramm, das durch eine erfindungsgemäße Schaltungsanordnung erzeugbar ist,

Figur 5 ein erstes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung,

30

Figur 6 eine detaillierte Darstellung der Schaltungsanordnung von Figur 5 und

35

Figur 7 ein zweites Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung,



Figur 8 eine detaillierte Darstellung des Ausführungsbeispiels von Figur 7.

Die Figuren 1 bis 3 zeigen Schaltungsanordnungen aus dem Stand der Technik bzw. das entsprechende Zeitdiagramm, wie bereits in der Beschreibungseinleitung beschrieben. Die Figur 4 zeigt ein Zeitdiagramm, wie es durch erfindungsgemäße Schaltungsanordnungen erzeugbar ist.

5 Eine solche Schaltung ist in der Figur 5 dargestellt. Ein Taktsignal CLK wird auf erste Eingänge E1.1 und E2.1 einer ersten Schalteinheit SE1 und einer zweiten Schalteinheit SE2 geführt. Außerdem ist eine Multiplexereinheit ME1 vorgesehen, deren dritter Eingang zur Beaufschlagung mit dem Taktsignal CLK vorgesehen ist. Der dritte Eingang E3.3 der Multiplexereinheit ist zum Umschalten zwischen einem ersten und einem zweiten Eingang M3.1 und M3.2 der Multiplexereinheit vorgesehen. Der Ausgang A1.1 der ersten Schalteinheit SE1 ist mit dem ersten Eingang E3.1 der Multiplexereinheit ME1 verbunden.

15 Der Ausgang A2.1 der zweiten Schalteinheit SE2 ist entsprechend mit dem zweiten Eingang E3.2 der Multiplexereinheit verbunden. Darüber hinaus ist der Ausgang A3.1 der ersten Multiplexereinheit ME1 sowohl mit dem zweiten Eingang E1.2 der ersten Schalteinheit SE1 als auch mit dem zweiten Eingang E2.2 der zweiten Schalteinheit SE2 verbunden. Die Ausgänge A1.1, A2.1 und A3.1 der ersten und zweiten Schalteinheit SE1 und SE2 und der Multiplexereinheit ME1 sind als Ausgänge Q1, Q2 und Q3 zum Abgreifen eines Ausgangssignals vorgesehen.

25 Für die erste und zweite Schalteinheit SE1 und SE2 sind verschiedene Ausführungen denkbar. Eine mögliche Ausführung ist in der Figur 6 dargestellt. Dort bestehen die Schalteinheiten SE1 und SE2 aus jeweils einem NAND-Glied 1 und 2, sowie nachgeschalteten Invertern als Verzögerungsglied. Die Multiplexereinheit ME1 besteht aus einem Multiplexer 3, dessen Ausgang ebenfalls Inverter als Verzögerungsglied nachgeschaltet sind.

30

35

Eine positive Signalflanke durchläuft zunächst die Schalteinheit SE1, so daß als erstes der Ausgang Q1 auf HIGH geht (vergleiche Figur 4). Der ENB-Eingang des Multiplexers 3 ist mit dem invertierten Taktsignal CLK verbunden. Dadurch ist zunächst der Eingang S1 des Multiplexers 3 aktiviert. Die positive Taktflanke setzt sich daher von Q1 kommend durch den Multiplexer 3 bis zum Ausgang Q2 fort. Das Signal am Ausgang Q2 wird wie bei einer Schaltung nach dem Stand der Technik auf das NAND-Glied 2 rückgekoppelt und setzt sich von dessen Ausgang durch die als Verzögerungsglied verwendeten Inverter bis zum Ausgang Q3 fort, so daß der Ausgang Q3 als letztes auf HIGH geht. Bis zur Änderung des Taktsignales CLK bleiben die Ausgänge in dem nun angenommenen Zustand.

Bei einer abfallenden Taktflanke, wenn also das Taktsignal CLK auf LOW geht, wird der Multiplexer 3 umgeschaltet, so daß nun der Eingang S2 des Multiplexers 3 aktiviert ist. Die negative Flanke kann sich nicht durch das NAND-Glied 1 fortsetzen, da zusätzlich der zweite Eingang des NAND-Gliedes auf LOW gehen müßte, was erst dann erfolgt, wenn der Ausgang Q2 seinen Zustand geändert hat. Allerdings kann sich die negative Taktflanke durch das NAND-Glied 2 fortpflanzen. Daher geht zuerst der Ausgang Q3 auf LOW. Der Multiplexer 3, der mittlerweile auf den Eingang S2 umgeschaltet ist, erlaubt nun eine Fortsetzung der abfallenden Taktflanke durch den Multiplexer 3 und die nachgeschalteten Verzögerungsglieder zum Ausgang Q2. Von dort aus setzt sich die abfallende Flanke zum Eingang des NAND-Gliedes 1 fort, um nach Durchlaufen der Verzögerungsglieder am Ausgang Q1 anzukommen, so daß auch dieser auf LOW geht. Sobald das Taktsignal erneut auf HIGH geht, wird der Multiplexer 3 wiederum umgeschaltet und der Vorgang beginnt von neuem.

In der Figur 7 ist ein weiteres Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung dargestellt, mit der vier ineinander verschachtelte und nicht überlappende Taktphasen

erzeugt werden sollen. Zur Realisierung dieser Aufgabe wird eine weitere Multiplexereinheit ME2 zwischen die erste Schalteinheit SE1 und die erste Multiplexereinheit ME1 geschaltet. Der Ausgang der ersten Schalteinheit SE1 ist nun nicht mehr mit einem ersten Eingang der ersten Multiplexereinheit ME1, sondern mit einem ersten Eingang der zweiten Multiplexereinheit ME2 verbunden. In die Rückkopplung des Ausgangs der ersten Multiplexereinheit ME1 zum zweiten Eingang der ersten Schalteinheit 1 ist nun ebenfalls die Multiplexereinheit ME2 geschaltet. Die Funktionsweise ist analog zu der anhand von Figur 5 beschreibenden Funktionsweise. Auch die zweite Multiplexereinheit ME2 besitzt ein Verzögerungsglied, so daß zwischen dem Ausgangssignal an Q2 und dem Ausgangssignal an Q3 ein beabsichtigter definierter Zeitverzug liegt.

Die in Figur 7 als Blockschaltbild dargestellte Schaltungsanordnung ist in der Figur 8 wiederum detaillierter gezeigt. Daraus ist ersichtlich, daß die zweite Multiplexereinheit ME2 identisch zu der ersten Multiplexereinheit ME1 aufgebaut ist. Das heißt sie besitzt einen Multiplexer 4 und nachgeschaltete Verzögerungsglieder.

In den detaillierten Darstellungen von Figur 6 und Figur 8 sind die Schalteinheiten SE1 und SE2 jeweils mit einem NAND-Glied und nachgeschalteten Verzögerungsgliedern realisiert. Genauso kommt aber eine Realisierung mit anderen Logikgattern in Betracht, beispielsweise mit NOR-Gliedern. Wenn man in der Schaltungsanordnung von Figur 6 die beiden NAND-Glieder 1 und 2 durch NOR-Glieder ersetzt, bleibt die Funktionsfähigkeit der Schaltung erhalten, es ändert sich lediglich die Zuordnung von gewünschten Ausgangssignalen zu den Ausgängen der Schaltung. Im vorliegenden Fall von Figur 6 wären die Anschlüsse Q1 und Q3 bzw. Q1N und Q3N vertauscht.

In den Figuren 6 und 8 sind die Multiplexer 3 und 4 als Multiplexerbausteine dargestellt. Es liegt im Ermessen eines

Fachmannes, die Funktion eines Multiplexers durch einen diskreten Aufbau zu realisieren.

5      Schaltungsanordnungen für fünf und mehr Taktphasen können analog durch das Hinzufügen weiterer Multiplexereinheiten aufgebaut werden, die zwischen eine Schalteinheit SE1 oder SE2 und eine angrenzende Multiplexereinheit zu schalten sind.

10      Um praktisch verwertbare Außensignale zu erhalten, ist lediglich eine Abstimmung der Verzögerungszeiten auf die gewünschte Taktfrequenz notwendig. Entsprechende Dimensionierungen liegen im Bereich des fachmännischen Könnens.

## Patentansprüche

1. Schaltungsanordnung zur Erzeugung nicht-überlappender  
5 Taktphasen mit

einer ersten Schaltungseinheit (SE1) zur Verknüpfung zweier  
Eingangssignale zu einem Ausgangssignal und einer zweiten  
Schaltungseinheit (SE2) zur Verknüpfung zweier Eingangssigna-  
10 le zu einem Ausgangssignal, wobei ein jeweils erster Eingang  
(E1.1, E2.1) der ersten und zweiten Schaltungseinheit (SE1,  
SE2) zum Anlegen eines gemeinsamen Taktsignales (clk) vorge-  
sehen sind, und

15 einer ersten Multiplexereinheit (ME1), wobei ein erster Ein-  
gang (E3.1) mit einem Ausgang (A1.1) der ersten Schaltungs-  
einheit (SE1) verbunden ist, ein zweiter Eingang (E3.2) mit  
einem Ausgang (A2.1) der zweiten Schaltungseinheit (SE2) ver-  
bunden ist und der Ausgang (A3.1) der Multiplexereinheit mit  
20 jeweils einem zweiten Eingang (E1.2, E2.2) der ersten und  
zweiten Schaltungseinheit (SE1, SE2) verbunden ist und ein  
dritter Eingang (E3.3) zum Umschalten zwischen den Eingängen  
der ersten Multiplexereinheit (ME1) zur Beaufschlagung mit  
dem Taktsignal vorgesehen ist,

25 wobei durch Ausgangssignale der ersten und zweiten Schal-  
tungseinheit (SE1, SE2) sowie der ersten Multiplexereinheit  
(ME1) mehrere nicht-überlappende Taktphasen bereitgestellt  
sind.

2. Schaltungsanordnung nach Anspruch 1,  
dadurch gekennzeichnet, dass eine zweite Multiplexereinheit (ME2) zwischen die erste Schaltungseinheit (SE1) und die erste Multiplexereinheit (ME1) geschaltet ist,

5 wobei

- der erste Eingang (E4.1) der zweiten Multiplexereinheit (ME2) mit dem Ausgang (A1.1) der ersten Schaltungseinheit (SE1) verbunden ist,
- der zweite Eingang (E4.2) der zweiten Multiplexereinheit (ME2) mit dem Ausgang (A3.1) der ersten Multiplexereinheit (ME1) verbunden ist und
- der Ausgang (A4.1) der zweiten Multiplexereinheit (ME2) mit dem ersten Eingang (E3.1) der ersten Multiplexereinheit (ME1) und dem zweiten Eingang (E1.2) der ersten Schalteinheit (SE1) verbunden ist und
- der dritte Eingang (E4.3) der zweiten Multiplexereinheit (ME2) zur Beaufschlagung mit dem Taktsignal (clk) vorgesehen ist.

20 3. Schaltungsanordnung nach Anspruch 2,  
dadurch gekennzeichnet, dass weitere Multiplexereinheiten zwischen die erste Schaltungseinheit (SE1) und die dazu nächstliegende Multiplexereinheit geschaltet sind,  
wobei eine Verbindung der Multiplexereinheiten jeweils entsprechend der Verbindung der zweiten Multiplexereinheit (ME2)  
25 zwischen der ersten Schaltungseinheit (SE1) und der ersten Multiplexereinheit (ME1) vorgesehen ist.

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3,  
30 dadurch gekennzeichnet, dass die erste und zweite Schaltungseinheit (SE1, SE2) jeweils aus einem NAND-Glied mit einem nachgeschalteten Verzögerungsglied besteht, wobei dem

ersten Eingang (E2.1) der zweiten Schaltungseinheit (SE2) ein Inverter vorgeschaltet ist.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4,  
5 dadurch gekennzeichnet, dass die erste Multiplexereinheit (ME1) aus einem Multiplexer und einem nachgeschalteten Verzögerungsglied besteht, wobei der erste und zweite Eingang (E3.1, E3.2) der ersten Multiplexereinheit (ME1) Dateneingänge des Multiplexers sind und der dritte Eingang  
10 (E3.3) der Multiplexereinheit der Umschalt-Eingang des Multiplexers ist.

## Zusammenfassung

## 5 Schaltungsanordnung zur Erzeugung nicht-überlappender Taktphasen

Die Erfindung bezieht sich auf eine Schaltungsanordnung zur Erzeugung nicht-überlappender Taktphasen mit einer ersten Schaltungseinheit (SE1) zur Verknüpfung zweier Eingangssignale zu einem Ausgangssignal und einer zweiten Schaltungseinheit (SE2) zur Verknüpfung zweier Eingangssignale zu einem Ausgangssignal, wobei ein jeweils erster Eingang (E1.1, E2.1) der ersten und zweiten Schaltungseinheit (SE1, SE2) zum Anlegen eines gemeinsamen Taktsignales (clk) vorgesehen sind.

15 Darüber hinaus ist eine erste Multiplexereinheit (ME1) vorgesehen, wobei ein erster Eingang (E3.1) mit einem Ausgang (A1.1) der ersten Schaltungseinheit (SE1) verbunden ist, ein zweiter Eingang (E3.2) mit einem Ausgang (A2.1) der zweiten Schaltungseinheit (SE2) verbunden ist und der Ausgang (A3.1) der Multiplexereinheit mit jeweils einem zweiten Eingang (E1.2, E2.2) der ersten und zweiten Schaltungseinheit (SE1, SE2) verbunden ist und ein dritter Eingang (E3.3) zum Umschalten zwischen den Eingängen der ersten Multiplexereinheit (ME1) zur Beaufschlagung mit dem Taktsignal vorgesehen ist,

25 wobei durch Ausgangssignale der ersten und zweiten Schaltungseinheit (SE1, SE2) sowie der ersten Multiplexereinheit (ME1) mehrere nicht-überlappende Taktphasen bereitgestellt sind.

30

Figur 6



FIG 1

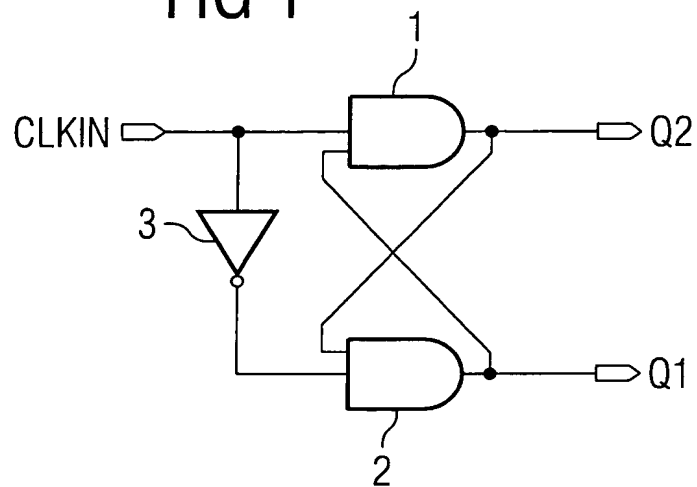


FIG 2

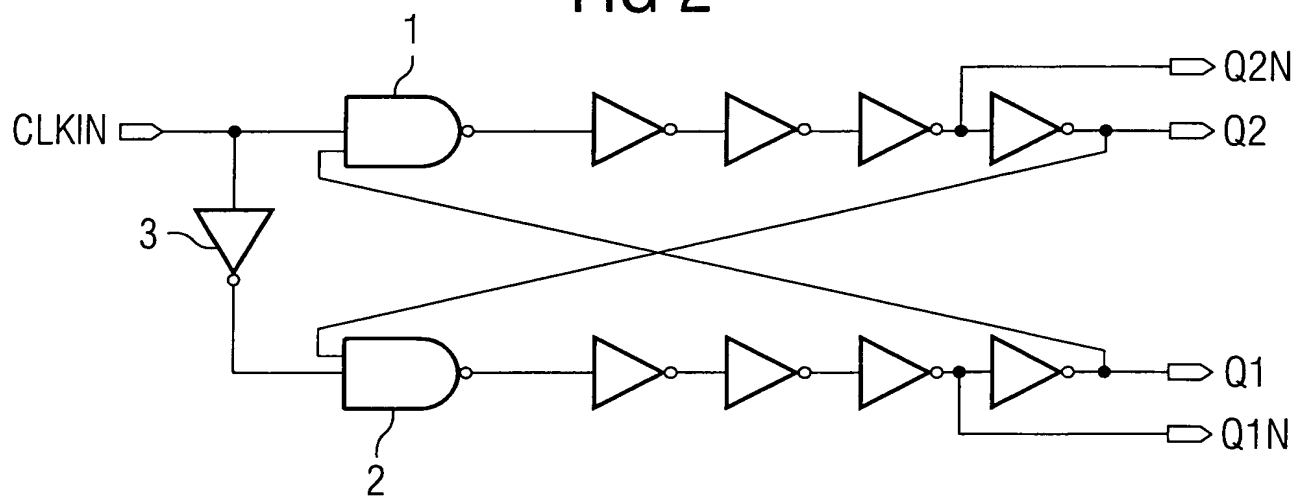


FIG 3

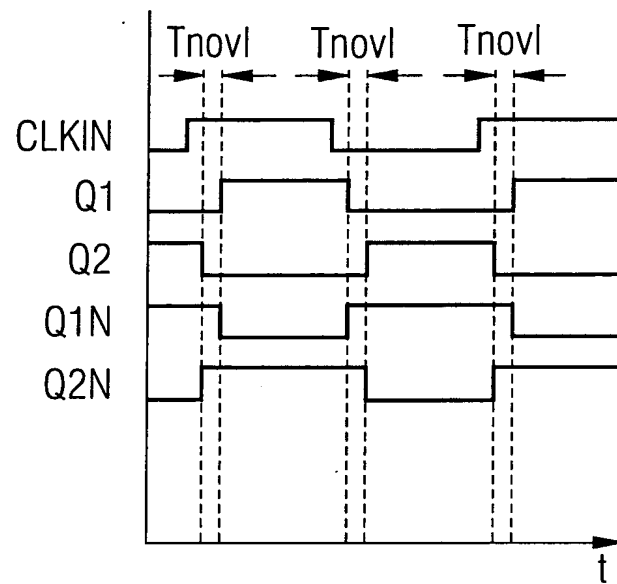


FIG 4

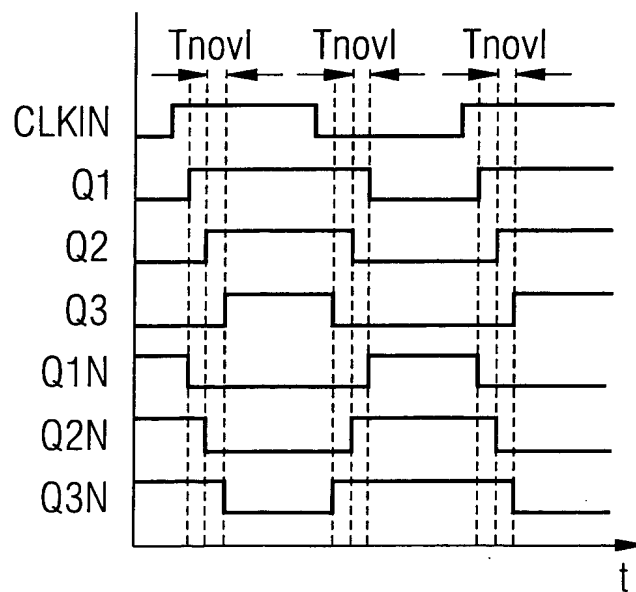


Figure 3 is a block diagram of a 3-bit counter circuit. The circuit has three inputs: CLK, SE1, and SE2. It has three outputs: Q1, Q2, and Q3. The circuit consists of three blocks: A1.1, A3.1, and A2.1. Block A1.1 has inputs E1.1 and E1.2, and output SE1. Block A3.1 has inputs E3.1, E3.3, and E3.2, and output ME1. Block A2.1 has inputs E2.2 and E2.1, and output SE2. The CLK input is connected to E1.1, E3.1, and E2.1. The SE1 output is connected to E1.2. The ME1 output is connected to E3.3. The SE2 output is connected to E2.2. The outputs Q1, Q2, and Q3 are connected to E1.1, E3.1, and E2.1 respectively.

[illegible]

FIG 7

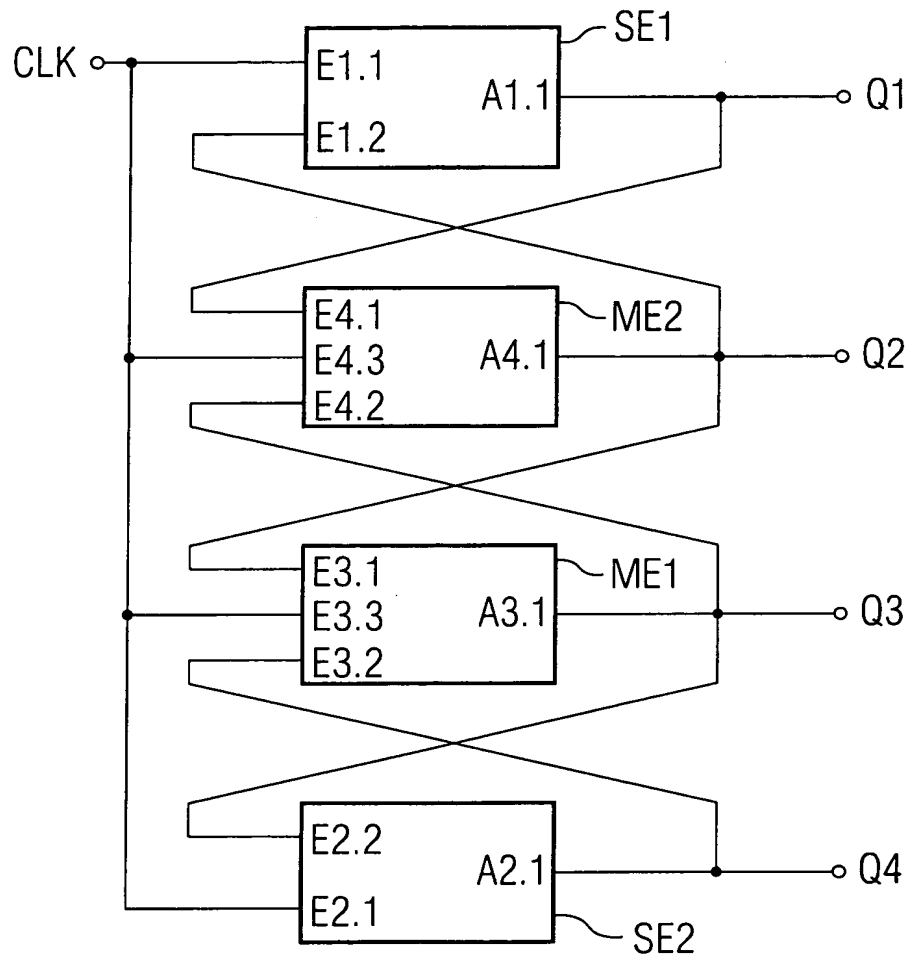


FIG 8

